

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-205257

(43)Date of publication of application : 17.08.1989

(51)Int.Cl. G06F 15/06  
H01L 27/04  
H01L 27/10

(21)Application number : 63-028698

(71)Applicant : NEC CORP

(22)Date of filing : 12.02.1988

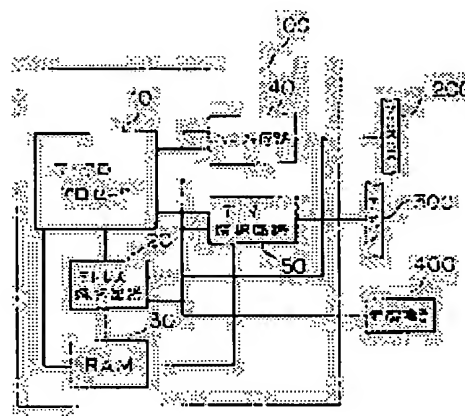
(72)Inventor : OSHIMA SHIGERU

## (54) INTEGRATED CIRCUIT

### (57)Abstract:

**PURPOSE:** To read the contents of the RAM for the temporary storage of a microprocessor without the intervention of the microprocessor by stopping the action of the microprocessor when a specific signal is inputted to a control terminal, and switching data inputted from a data bus to a mode inputted to the RAM.

**CONSTITUTION:** A microprocessor 10, a buffer circuit 40, a data selecting circuit 50 and an address selecting circuit 20 are connected in common by a control line, and the control line is connected to a control terminal 400. When the specific signal is inputted to the control terminal 400, the action of the microprocessor 10 is stopped, the address selecting circuit 20 inputs address data inputted from an address bus 200, to a random access memory (RAM) 30, and the data selecting circuit 50 is switched to the mode to input the data inputted from a data sub 300 to the RAM 30. Thus, without the intervention of the microprocessor 10, the contents of the RAM 30 for the temporary storage of the microprocessor 10 can be read.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平1-205257

⑤Int.Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑬公開 平成1年(1989)8月17日  
 G 06 F 15/06 3 2 0 C-7343-5B  
 H 01 L 27/04 7514-5F  
 27/10 4 6 1 8624-5F 審査請求 未請求 請求項の数 1 (全3頁)

⑭発明の名称 集積回路

⑮特 願 昭63-28698

⑯出 願 昭63(1988)2月12日

⑰発 明 者 大 島 茂 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲代 理 人 弁理士 山内 梅雄

明 細 書

1. 発明の名称

集積回路

2. 特許請求の範囲

マイクロプログラムを実行するマイクロプロセッサと、

このマイクロプロセッサで使用するデータを一時記憶するランダム・アクセス・メモリと、

マイクロプロセッサと外部のアドレスバスとの間に接続されマイクロプロセッサから出力されるアドレスデータをアドレスバスに出力するバッファ回路と、

マイクロプロセッサと外部のデータバスとの間に接続されデータバスから入力されるマイクロ命令をマイクロプロセッサに入力し、またはデータバスから入力されるデータをランダム・アクセス・メモリに入力するデータ選択回路と、

マイクロプロセッサとランダム・アクセス・メモリとの間に接続されマイクロプロセッサから指定されるアドレスデータまたはアドレスバスから

入力されるアドレスデータをランダム・アクセス・メモリに出力するアドレス選択回路とを有し、

前記マイクロプロセッサ、バッファ回路、データ選択回路およびアドレス選択回路が制御線により共通接続され、この制御線が外部の制御端子に接続されるとともに、この制御端子に特定の信号が入力された場合にマイクロプロセッサの動作が停止し、アドレス選択回路はアドレスバスから入力されるアドレスデータをランダム・アクセス・メモリに入力し、データ選択回路はデータバスから入力されるデータをランダム・アクセス・メモリに入力するモードに切り換えられることを特徴とする集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は集積回路に係わり、特にマイクロプロセッサとマイクロプロセッサで使用するデータを一時的に記憶するランダム・アクセス・メモリとが同一チップ上に実装された集積回路に関する。

〔従来の技術〕

従来、マイクロプロセッサと、マイクロプロセッサで使用するデータを一時記憶するランダム・アクセス・メモリとが同一チップ上に実装された集積回路において、ランダム・アクセス・メモリの内容を読み出す方式としては、ランダム・アクセス・メモリの内容を読み出すマイクロプログラムをマイクロプロセッサに実行させ、マイクロプロセッサを介して外部にランダム・アクセス・メモリの内容を読み出す方式が用いられていた。  
〔発明が解決しようとする課題〕

上述したように従来の集積回路では、内蔵するランダム・アクセス・メモリの内容を読み出すのにマイクロプロセッサを介入させて実施していたため、マイクロプロセッサがストール状態になった場合、内蔵するランダム・アクセス・メモリの内容が読み出せず、また内蔵するランダム・アクセス・メモリの内容を読み出すのにマイクロプロセッサが介入するため、その介入によりマイクロプロセッサの内部状態が変化してしまうという問題があった。

本発明はこのような事情に鑑みてなされたものであり、マイクロプロセッサを介入することなくマイクロプロセッサの一時記憶用のランダム・アクセス・メモリの内容を読み出すことができる集積回路を提供することを目的とするものである。  
〔課題を解決するための手段〕

本発明は上記目的を達成するために、マイクロプログラムを実行するマイクロプロセッサと、このマイクロプロセッサで使用するデータを一時記憶するランダム・アクセス・メモリと、マイクロプロセッサと外部のアドレスバスとの間に接続されマイクロプロセッサから出力されるアドレスデータをアドレスバスに出力するバッファ回路と、マイクロプロセッサと外部のデータバスとの間に接続されデータバスから入力されるマイクロ命令をマイクロプロセッサに入力し、またはデータバスから入力されるデータをランダム・アクセス・メモリに入力するデータ選択回路と、マイクロプロセッサとランダム・アクセス・メモリとの間に接続されマイクロプロセッサから指定されるアド

レスデータまたはアドレスバスから入力されるアドレスデータをランダム・アクセス・メモリに出力するアドレス選択回路とを有し、前記したマイクロプロセッサ、バッファ回路、データ選択回路およびアドレス選択回路が制御線により共通接続され、この制御線が外部の制御端子に接続されるとともに、この制御端子に特定の信号が入力された場合にマイクロプロセッサの動作が停止し、アドレス選択回路はアドレスバスから入力されるアドレスデータをランダム・アクセス・メモリに入力し、データ選択回路はデータバスから入力されるデータをランダム・アクセス・メモリに入力するモードに切り換えられることを特徴とするものである。

本発明によればマイクロプロセッサの介入なしでマイクロプロセッサの一時記憶用のランダム・アクセス・メモリの内容を読み出すことができる。  
〔実施例〕

以下、本発明の実施例を図面を参照して説明する。

第1図には本発明に係わる集積回路の一実施例の構成が示されている。同図において、集積回路100は、マイクロプロセッサ10、アドレス選択回路20、ランダム・アクセス・メモリ（以下、RAMと記す）30、バッファ回路40、およびデータ選択回路50により構成されている。また集積回路100は、アドレスバス200、データバス300、および制御端子400に接続されている。

上記構成からなる集積回路100の動作は以下の通りである。

まず、制御端子400をローレベルにすると、バッファ40はマイクロプロセッサ10からのアドレスデータをアドレスバス200に出力しかつデータ選択回路50はマイクロプロセッサ10のデータバスをデータバス300に接続するとともに、アドレス選択回路20はマイクロプロセッサ10から出力されたRAMアドレスをRAM30へ供給するモードになる。マイクロプロセッサ10はバッファ回路40を介してアドレスバス20

0にアドレスを出力するとともに、データ選択回路50を介して、データバス300上のデータを内部に入力し、マイクロ命令として実行を開始する。ここでマイクロプロセッサ10がRAM30を使用した場合、マイクロプロセッサ10よりアドレス選択回路20を介してRAM30にアドレスデータを出力するとともにデータのRAM30へのリードライト動作を実行する。

次に制御端子400をハイレベルにすると、バッファ回路40はディスイネーブル状態になり、アドレス選択回路20はアドレスバス200からのアドレスデータをRAM30へ供給しかつRAM30からのリードデータはデータ選択回路50を介してデータバス300へ出力するモードになるとともに、マイクロプロセッサ10は停止状態になる。

ここで、アドレスバス200にRAM30上のアドレスデータをセットすると、このアドレスデータに対応するデータがRAM30より読み出され、データバス300より出力される。

#### 〔発明の効果〕

以上説明したように、本発明によればマイクロプロセッサの介入なしに、集積回路内部のマイクロプロセッサの一時記憶用として使用されているRAMの内容を読み出すことができる。

#### 4. 図面の簡単な説明

第1図は本発明に係わる集積回路の一実施例を示す構成図である。

- 10 …… マイクロプロセッサ、
- 20 …… アドレス選択回路、
- 30 …… RAM、
- 40 …… バッファ回路、
- 50 …… データ選択回路、
- 100 …… 集積回路、
- 200 …… アドレスバス、
- 300 …… データバス、
- 400 …… 制御端子。

出願人 日本電気株式会社  
代理人 弁理士 山内梅雄

第1図

